

# Integrati per il controllo on-off della potenza DC

Gli integrati per il pilotaggio on-off di piccoli carichi in continua sono i *solenoid driver* e i *darlington array*.

I **solenoid driver** sono circuiti integrati che operano con tensioni di alimentazione elevate, fino a 46 V, in modo da rendere più veloce la rampa di corrente nel carico induttivo, e realizzano poi il controllo a limitazione della corrente stessa, appena questa ha raggiunto il suo valore nominale, mediante un funzionamento in commutazione e, quindi, con una bassa dissipazione di potenza.

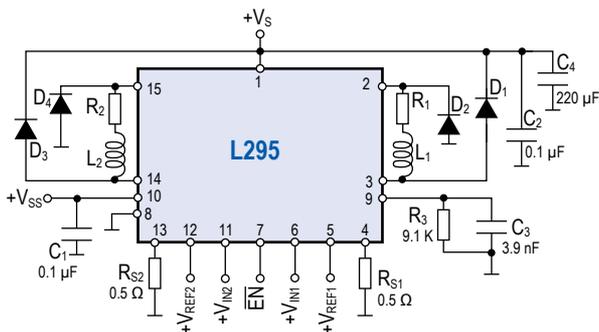


Fig. 1. Applicazione tipica per solenoid driver L295.

Nel circuito applicativo di **fig. 1**, relativo al solenoid driver doppio L295, l'ingresso analogico  $V_{REF}$  determina l'entità della corrente nel carico, mentre la combinazione logica  $V_{IN} \cdot \overline{EN}$  determina la durata dell'impulso di corrente. Un circuito interno di controllo, mediante lettura della caduta sulla resistenza di sensing  $R_S$  (0,5  $\Omega$ ), accende e spegne il transistor  $Q_1$  dello stadio di uscita ( $Q_1, Q_2$ ) in modo da mantenere la corrente nell'induttore compresa tra il 100% e il 90% del valore impostato (**fig. 2**).

Quando l'abilitazione viene meno, entrambi i transistor di uscita risultano interdetti e la corrente nel carico decade velocemente ricircolando attraverso i rispettivi diodi di recupero.

Nell'integrato, inoltre, sono presenti circuiti di protezione termica e contro il cortocircuito.

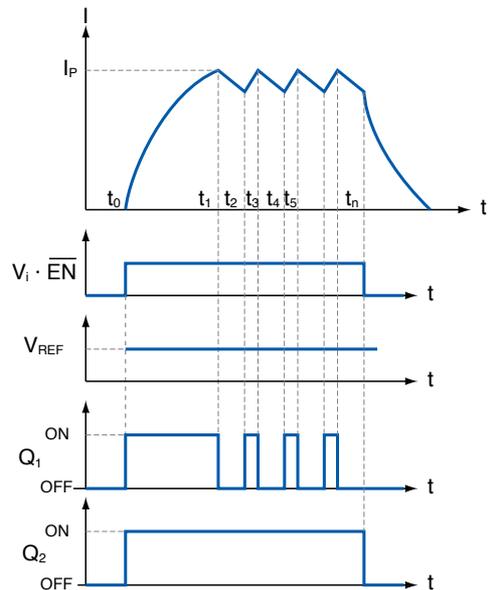


Fig. 2. Regolazione della corrente.

I **darlington array** sono integrati contenenti più transistor di commutazione in configurazione darlington a bassa caduta (**fig. 3**) per carichi anche fino a 50 V, 1,5 A, eventualmente parallelabili tra loro, completi di diodo clamp di protezione per il pilotaggio di carichi induttivi, e della zona di predriver, tale da permetterne l'azionamento mediante un semplice livello logico, TTL o CMOS. In alcuni di loro è disponibile anche un pin di Enable per l'interdizione dei transistor durante le fasi di power-on e power-down.

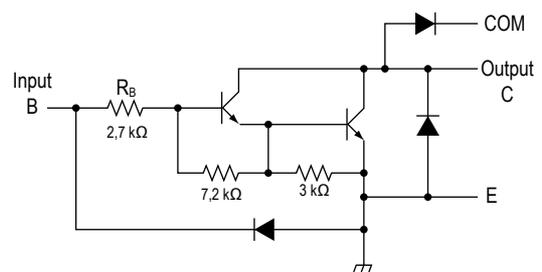


Fig. 3. Un elemento di darlington array.