

# SerDes

I dispositivi serializzatori/deserializzatori (SerDes) sono utilizzati per inviare a distanza un gruppo di segnali digitali (TTL/CMOS) in forma seriale, utilizzando un limitato numero di doppi. Il clock viene elevato in frequenza tramite PLL per serializzare i segnali e inviato su un doppino riservato (fig. 1). Al termine della linea i segnali vengono ricomposti e restituiti in parallelo assieme al clock.

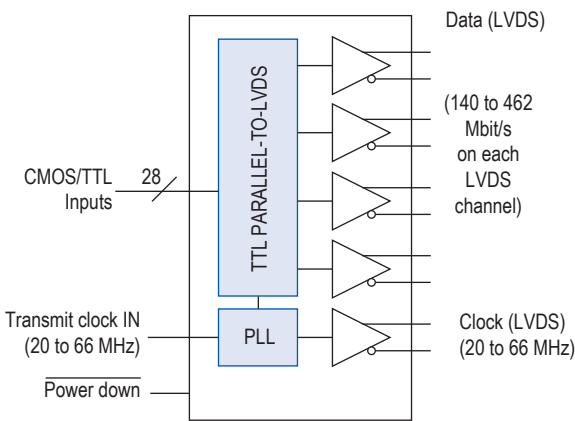


Fig. 1. Serializzatore DS90CR285 (Texas).

Le soluzioni sono varie, con prestazioni differenti, anche bidirezionali e con il clock miscelato con i dati (with embedded clock, fig. 2).

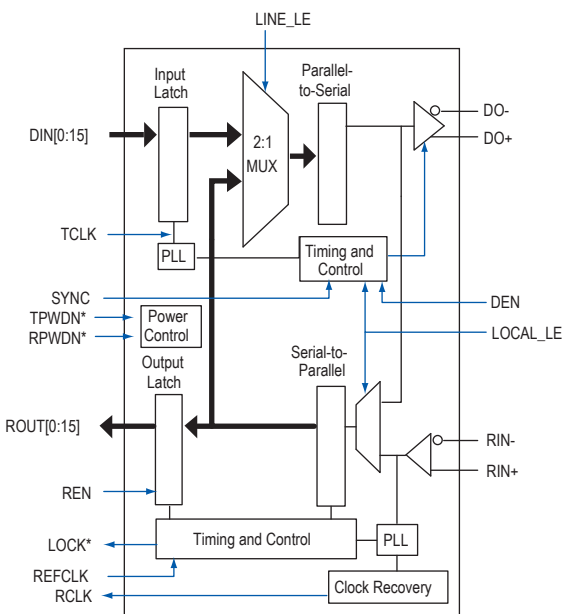


Fig. 2. SerDes bidirezionale DS92LV16 (Texas).

Un utilizzo specifico riguarda l'invio a distanza di segnali video RGB (Red, Green, Blue) digitali a 18 o 24 bit destinati per esempio a un LCD.

### ESEMPIO 1

Una trasmissione RGB a 24 bit (16 M colori) richiede 8 bit per ciascun colore accompagnati da un clock di pixel, un data enable (DE) e i segnali di sincronismo orizzontale (H) e verticale (V), per un totale di 28 segnali (fig. 3).

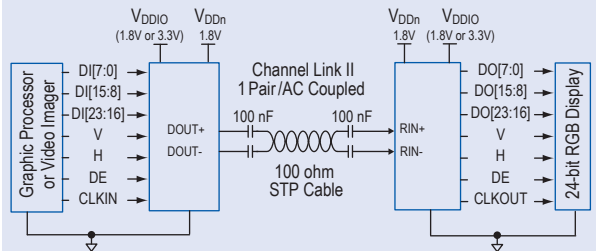


Fig. 3. 24 bit channel link.

La codifica dei singoli bit è compatibile con l'accoppiamento AC, perché non contiene una componente continua.

I livelli sono nello standard LVDS (Low-Voltage Differential Signaling, fig. 4), differenziali a bassa tensione (per limitare i disturbi), con il driver a 3,5 mA che chiude sulla resistenza di terminazione da 100 Ω (eventualmente già interna al ricevitore), garantendo un output swing ±350 mV all'ingresso del ricevitore. La soglia di threshold del ricevitore è garantita ≤ 100 mV su una tensione di common mode da 0 V fino a 2,4 V.

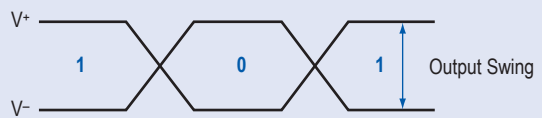


Fig. 4. Segnali LVDS.

Utilizzando la tecnica TMDs (Transition Minimized Differential Signaling) è possibile realizzare un link DVI (Digital Video Interface) impiegando solo i quattro doppi differenziali di un normale cavo di rete in categoria 5e (fig. 5).

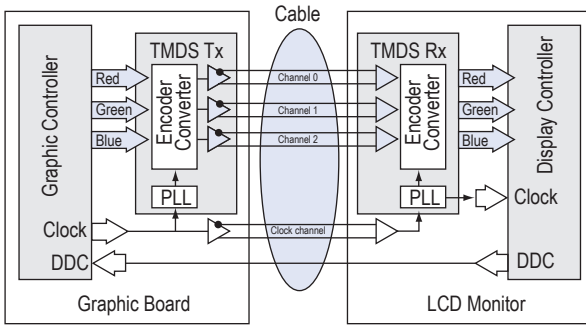


Fig. 5. DVI channel link.

Considerato l'alto bit rate sul cavo, l'attenuazione e la distorsione dei segnali sono notevoli, perciò per estendere la lunghezza del collegamento oltre qualche metro, e fino a qualche decina di metri, si utilizzano appositi integrati equalizzatori di linea (vedi DS15EA101, Texas, per LVDS).

**ESERCIZIO A**

Indicare se l'integrato serializzatore riportato in fig. 6 è adatto per una connessione video RGB666.

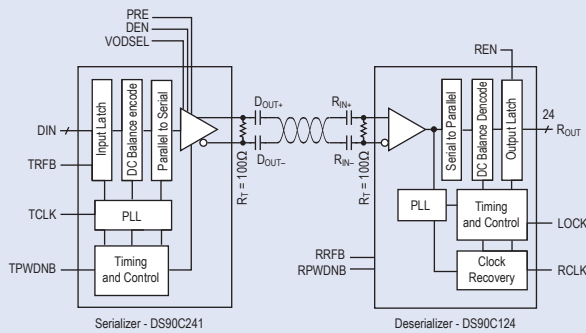


Fig. 6. Link 24/1.

**SOLUZIONE**

La coppia di integrati DS90C241-90C124 realizza un link da 24 bit.

Il formato RGB666 utilizza 6 bit per colore, accompagnati da un clock di pixel, un data enable (DE) e i segnali di sincronismo orizzontale (H) e verticale (V), per un totale di 21 segnali più il clock.

Utilizzando il clock pixel come clock di sistema, restano ancora disponibili altri tre bit per informazioni ulteriori.

**ESERCIZIO 1**

Sapendo che il link da 24 bit realizzato con la coppia di integrati DS90C241-90C124 lavora con un clock massimo da 35 MHz e che aggiunge quattro bit interni di controllo, determinare la frequenza del segnale digitale sul doppino e se è gestibile il formato 800 x 400 di un display RGB666 a 100 frame/s.

[Ris.: 980 MHz; si (800·400·100 < 35 MHz)]

**ESERCIZIO 2**

Per portare a 25 m un segnale LVDS destinato a un TFT è stato adottato lo schema di fig. 7. Individuare gli elementi serializzatori e i deserializzatori.

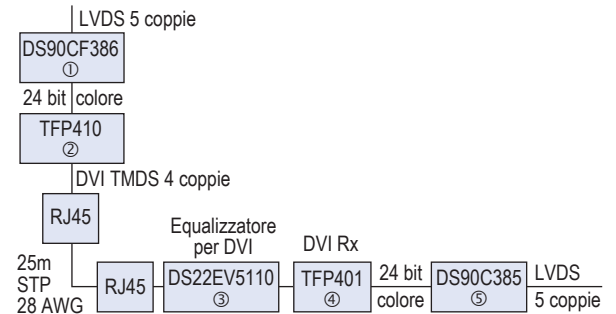


Fig. 7. LVDS per TFT a 25 m.

[Ris.: ser. = 2, 5; deser. = 1, 4]