

PLL

Il PLL (*Phase Locked Loop*, maglia ad aggancio di fase) è un sistema retroazionato in grado di agganciare e inseguire in frequenza il segnale presente al suo ingresso. È composto da un oscillatore controllato in tensione (VCO, *Voltage Controlled Oscillator*) e un rivelatore di fase con filtro passa basso.

Rivelatore di fase

Un rivelatore di fase produce in uscita una tensione (V_o) proporzionale allo sfasamento ($\Delta\phi$) esistente tra i due segnali applicati ai suoi ingressi:

$$V_o = k \cdot \Delta\phi$$

con k [V/rad] che rappresenta il guadagno di conversione.

Se i segnali sono isofrequenziali, V_o è una tensione continua, in caso contrario risulta variabile.

Nel circuito di **fig. 1** un contatore decadico (4518) e un decoder BCD/decimale (4028), azionati da un clock a 1 kHz, producono dieci segnali logici (Q0÷Q9), con duty cycle 10% ($t_{on} = 1$ ms, $T = 10$ ms), sfasati reciprocamente di 1/10 di periodo (1 ms).

Il nucleo del rivelatore di fase è il flip flop 4013. Presa a riferimento l'uscita Q0 del 4028 (canale A, **fig. 2**), ogni suo fronte di salita setta l'uscita Q1 del 4013 (canale C), mentre Q5 (canale B), in ritardo di 5/10 di periodo (5 ms, 180°), la azzerando a livello sull'ingresso di clear (CD1).

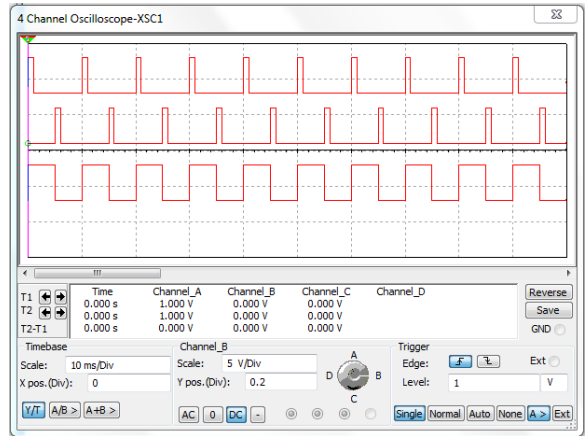


Fig. 2. Forme d'onda visualizzate.

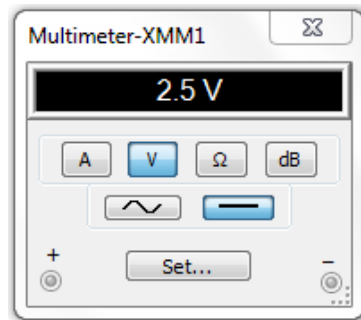


Fig. 3. Misura della componente continua in uscita.

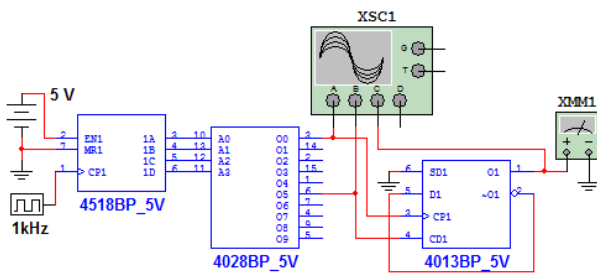


Fig. 1. Rivelatore di fase.

Un multimetro posto sull'uscita Q1 del flip flop misura la componente continua del segnale prodotto (**fig. 3**).

Lasciando l'ingresso CP1 del flip flop sempre collegato con l'uscita Q0 del 4028, spostare l'ingresso CD1 sulle diverse uscite del 4028 e completare la **tab. 1**.

Tab. 1 – Tensioni continue prodotte dal rivelatore di fase		
Uscita del 4028 connessa con CD1	Ritardo di fase rispetto a Q0	Componente continua in uscita [V]
Q0 (pin 3)	0	0
Q1 (pin 14)	36°	
Q2 (pin 2)		
Q3 (pin 15)		
Q4 (pin 1)		
Q5 (pin 6)		
Q6 (pin 7)		
Q7 (pin 4)		
Q8 (pin 9)		
Q9 (pin 5)		

Nonostante si tratti di due segnali digitali, il ritardo di fase è stato volutamente espresso in gradi per evidenziare come questi potrebbero anche essere stati derivati da due sinusoidi isofrequenziali, squadrate mediante un comparatore di zero. Commentare i risultati ottenuti.

Analizzare la tensione di uscita prodotta dal circuito in **fig. 4** e giustificarne il comportamento.

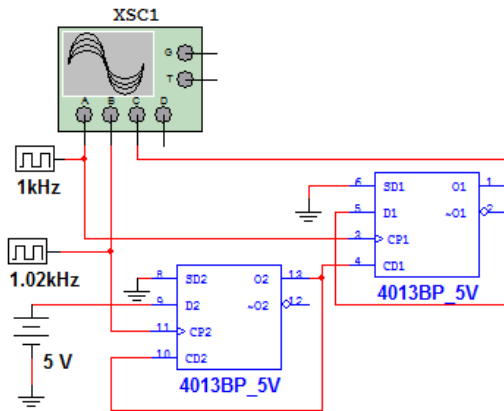


Fig. 4. Nuovo rivelatore di fase.

LM567

L'integrato tone decoder LM567 contiene un PLL con VCO a frequenza libera:

$$f_0 = \frac{1,1}{R_1 \cdot C_1}$$

(**fig. 5**) e dispone di un'uscita (Out) che va bassa quando il segnale di ingresso (V_i) risulta agganciato in frequenza.

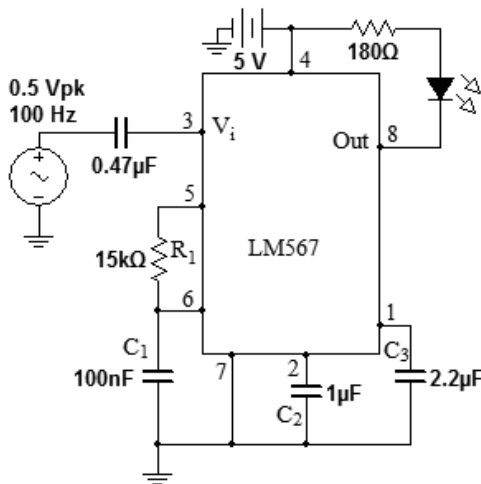


Fig. 5. Applicazione per LM567.

I valori di C_2 e C_3 sono stati scelti nel rispetto delle indicazioni del costruttore:

$$C_2 \geq \frac{130}{f_0}$$

$$C_3 > 2 \cdot C_2$$

Una volta realizzato il circuito, si tratta di rilevare quattro valori di frequenza: gli estremi della banda di aggancio e gli estremi della banda di tenuta, perciò:

- aumentare la frequenza del generatore $\pm 0,5$ V picco fino ad ottenere l'aggancio (LED acceso) e misurarne la frequenza $f_1 = \dots$ Hz (frequenza inferiore di aggancio);
- continuare ad aumentare la frequenza fino a perdere l'aggancio (LED spento), $f_2 = \dots$ Hz (frequenza massima di tenuta);
- ridurre la frequenza fino a riottenere l'aggancio $f_3 = \dots$ Hz (frequenza superiore di aggancio);
- ridurre ulteriormente la frequenza fino a perdere l'aggancio, $f_4 = \dots$ Hz (frequenza inferiore di tenuta).

Calcolare il valore della frequenza libera del VCO:

$$f_0 = \frac{1,1}{R_1 \cdot C_1} = \dots \text{ Hz}$$

della banda di aggancio:

$$B_{agg} = f_3 - f_1 = \dots$$

e della banda di tenuta:

$$B_{ten} = f_2 - f_4 = \dots$$

Come sono situate le due bande rispetto ad f_0 ? Quale banda è maggiore?

La frequenza del VCO interno all'integrato è rilevabile sul pin 5, perciò ripetere la prova osservandone il valore.

Quanto vale la frequenza in assenza di aggancio? E durante l'aggancio?

PLL

Predisporre il circuito di **fig. 6**, con il generatore sinusoidale 1 V picco picco e il PLL con i parametri indicati in **fig. 7**.

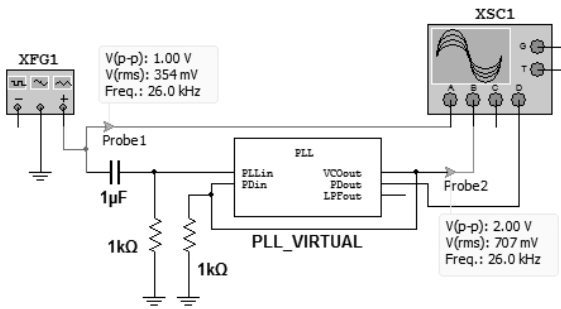


Fig. 6. Applicazione con PLL_VIRTUAL.

Sconnettendo il generatore, il PLL oscilla alla sua frequenza libera di 25 kHz. Modificando la frequenza del generatore, ricercare la banda di aggancio:

$$B = 25 \text{ kHz} \pm \dots\dots\dots$$

Ridurre il guadagno di conversione del VCO a 1 kHz/V e ricercare la nuova banda di aggancio:

$$B' = 25 \text{ kHz} \pm \dots\dots\dots$$

Cosa è cambiato?
Riportare il guadagno di conversione del VCO a 10 kHz/V, impostare la frequenza di oscillazione libera a 15 kHz e ricercare la nuova banda di aggancio:

$$B'' = \dots\dots\dots \text{ kHz} \pm \dots\dots\dots$$

Ancora con il guadagno di conversione del VCO a 10 kHz/V e frequenza di oscillazione libera a 15 kHz, raddoppiare il guadagno di conversione del rivelatore di fase (0,5 V/rad) e ricercare le bande di aggancio e di tenuta:

$$B_{agg} = 15 \text{ kHz} \pm \dots\dots\dots$$

$$B_{ten} = 15 \text{ kHz} \pm \dots\dots\dots$$

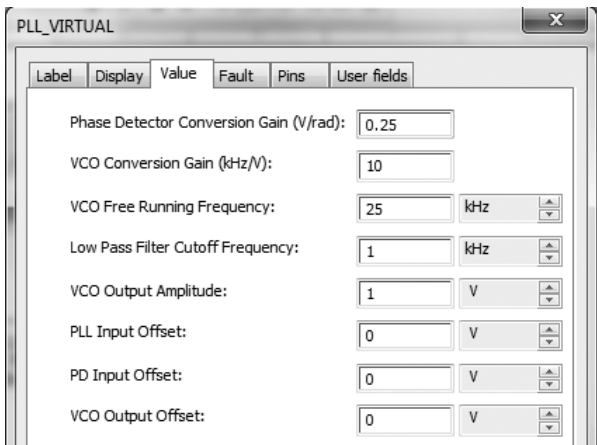


Fig. 7. Parametri del PLL.