



NAND e NOR e mappe di Karnaugh

Universalità delle porte NAND e NOR

Per realizzare reti combinatorie complesse si utilizzano moduli base semplici, detti "porte logiche", che realizzano le operazioni AND, OR, NOT, NAND, NOR.

Utilizzando le porte AND, NOT e OR è possibile realizzare qualunque funzione binaria. Meno immediato è il fatto che la stessa funzione possa essere realizzata con sole porte NAND o con sole porte NOR.

Questo è possibile grazie principalmente al teorema di De Morgan, secondo il quale la funzione NAND è equivalente alla OR delle due variabili negate:

$$\overline{AB} = \overline{A} + \overline{B}$$

Analogamente, la funzione NOR è equivalente alla AND delle variabili complementate:

$$\overline{A + B} = \overline{A} \overline{B}$$

Nella **fig. 1** sono riportate le porte logiche fondamentali e la loro realizzazione con NAND e NOR.

Segnali attivi alti e segnali attivi bassi

La presenza o meno di un cerchietto nello schema indica lo stato attivo della linea stessa e ne facilita l'interpretazione.

Quando un simbolo logico grafico presenta delle linee di ingresso o di uscita pulite, le stesse si possono considerare attive alte; al contrario, se le linee presentano un cerchietto, sono attive basse e, solitamente, vengono rappresentate nello schema logico con il nome della variabile negato.

ESEMPIO 1

Se si analizza la tabella della verità di una porta NAND (**tab. 1**) si può dire che l'uscita \overline{Y} è attiva (bassa) solo quando tutti gli ingressi sono alti.

Tab. 1 - Tabella della verità di una porta NAND			
A	B	Y	\overline{Y}
0	0	0	1
0	1	0	1
1	0	0	1
1	1	1	0

Per la porta AND, invece, l'uscita Y è attiva (alta) solo quando tutti gli ingressi sono alti.

Le porte fondamentali AND, OR, NAND e NOR possono essere rappresentate nella forma normale oppure nella forma duale, applicando i teoremi di De Morgan.

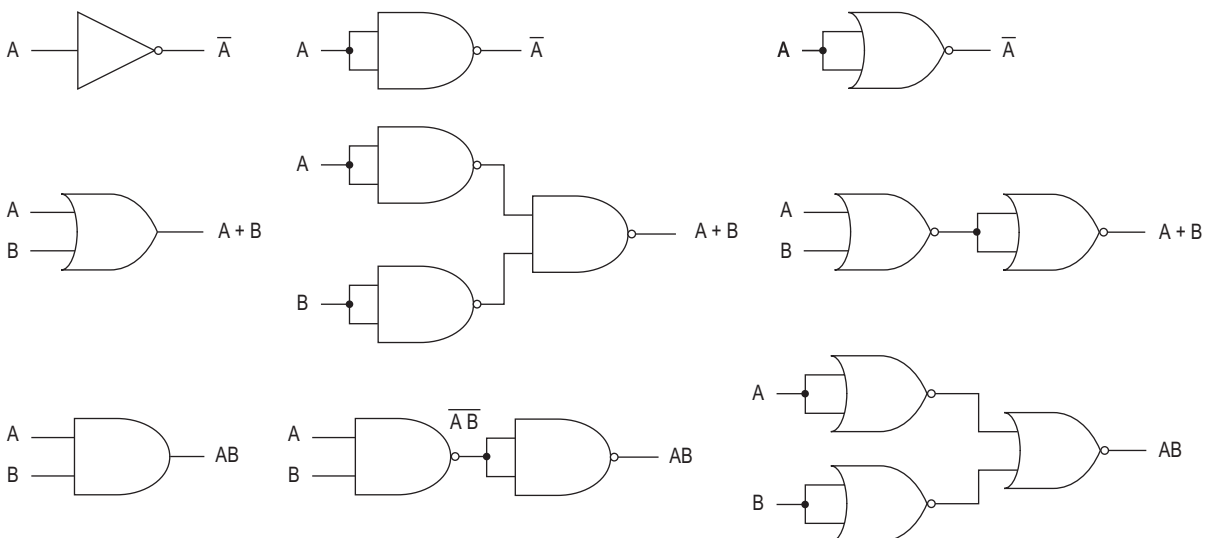


Fig. 1. Porte NOT, OR, AND realizzate con sole NOR e NAND.

La regola pratica per il passaggio da un modo di rappresentazione ad un altro è:

- invertire ogni linea, sia di ingresso che di uscita, inserendo il cerchiolino;
- sostituire il simbolo logico AND con OR e viceversa. In **fig. 2** sono riportati i simboli logici normali e duali delle principali porte.

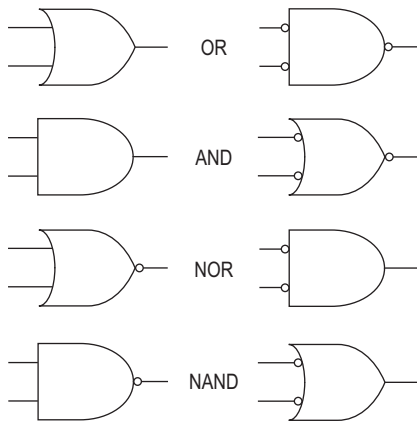


Fig. 2. Possibili rappresentazioni grafiche delle porte logiche.

L'utilizzo appropriato dei due modi di rappresentazione rende gli schemi logici più leggibili, rendendo più facile per il tecnico determinare le condizioni logiche delle variabili in ingresso necessarie per attivare l'uscita.

ESEMPIO 2

Realizzare un circuito antifurto che attivi l'allarme Y, con un 1 logico, quando almeno uno dei due sensori (A, B) si attiva.

La tabella della verità è la seguente.

Tab. 2 - Tabella della verità per antifurto		
A	B	Y
0	0	0
0	1	1
1	0	1
1	1	1

La funzione risultante è $Y = A + B$ e viene realizzata con la porta OR.

ESEMPIO 3

Realizzare un dispositivo che accenda un LED (attivo basso) quando entrambi i pulsanti (A e B), attivi bassi, sono premuti.

La tabella e la funzione sono identiche al caso precedente, ma il simbolo logico, rappresentato in **fig. 4**, risulta più comodo per l'analisi della funzione.

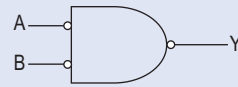


Fig. 4. Simbolo porta OR.

In conclusione, se il circuito deve causare qualche azione quando l'uscita Y commuta a livello 1, è più comodo utilizzare uno schema con l'uscita attiva alta come nel primo esempio.

Se, al contrario, l'azione viene attivata quando l'uscita commuta a livello basso, è più leggibile lo schema equivalente con l'uscita attiva bassa (con il cerchiolino).

Realizzazione di circuiti logici a due livelli con sole porte NAND o NOR

Una rete a due livelli può essere realizzata impiegando un solo tipo di porte logiche. Alcuni esempi sono riportati in **fig. 3**

Innanzitutto, si pongano due inverter in uscita alle funzioni in figura.

Questo non cambia le funzioni stesse. A questo punto si spinga all'indietro uno dei negatori. Per il teorema di De Morgan, la porta attraversata cambia operatore e risultano negati tutti gli ingressi.

Se ora anche i negatori vengono sostituiti con porte NAND o NOR, con gli ingressi in cortocircuito, le reti ottenute risultano costituite da un unico tipo di porte logiche.

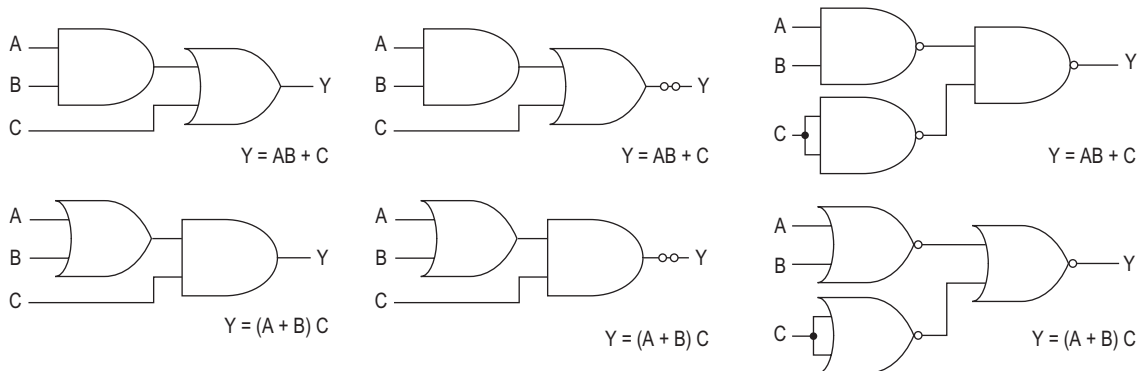


Fig. 3. Reti a due livelli realizzate con sole porte NAND o NOR.

Mappe di Karnaugh

Come si è visto, una volta compilata la tabella della verità, coerente con la funzione desiderata, mediante le forme canoniche è possibile ottenere una sintesi della rete logica corrispondente (tab. 3).

X	Y	Z	f
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	0
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

$$f = XYZ + XYZ + XYZ + XYZ$$

Già i teoremi dell'algebra di Boole ci permettono di semplificare l'equazione canonica, così da ridurre anche la complessità della rete, ma il problema è sapere se la funzione ottenuta sia la più semplice. La questione non è di secondaria importanza poiché il costo di una scheda aumenta con il numero degli integrati utilizzati e la complessità dello sbroglio delle piste aumenta con il numero dei segnali coinvolti. Ottimizzare la rete equivale perciò a ricondurla al minimo costo.

Il metodo delle mappe di Karnaugh (dal nome dell'ingegnere statunitense Maurice Karnaugh, nato a New York nel 1924), se applicato correttamente, permette di determinare la rete minima.

La mappa

Il metodo prevede come prima cosa di realizzare la mappa di Karnaugh partendo dalla tabella della verità. La mappa contiene un numero di caselle pari a 2^n , con n uguale al numero delle variabili di ingresso (tab. 4).

YZ =	00	01	11	10
X = 0	0	0	0	1
X = 1	0	1	1	1

La mappa corrisponde allo sviluppo sul piano della superficie totale di un anello, così che anche le celle agli estremi in ogni direzione sono da considerarsi

confinanti tra loro. Ogni cella della mappa corrisponde ad una delle combinazioni degli ingressi, ordinate in modo tale da conservare la distanza unitaria tra loro: passando da una cella all'altra in ogni direzione deve cambiare una sola delle variabili di ingresso. È per questo motivo che, per esempio, dopo la combinazione 01, viene prima la 11 rispetto alla 10.

Partendo dalla tabella delle combinazioni, si compila la mappa riportando i valori della funzione di uscita nelle celle corrispondenti.

Copertura degli 1

Si definisce *sottocubo* l'insieme di 2^k celle tali che ognuna di esse sia adiacente ad altre k celle appartenenti al sottocubo stesso (tab. 5).

YZ =	00	01	11	10
X = 0	0	0	0	1
X = 1	0	1	1	1

Le dimensioni possibili di un sottocubo sono quindi solo pari alle potenze del 2 (1, 2, 4, ...).

- Si tratta di coprire tutti gli 1 della mappa con il minor numero di sottocubi possibili;
- una cella può essere coperta da quanti sottocubi si vogliono;
- la forma minima è ottenuta coprendo tutti gli 1 della mappa con il minor numero di sottocubi i più grandi possibili.

Sintesi

- Il termine corrispondente ad un sottocubo vale il prodotto delle sole variabili che non cambiano per tutte le celle, prese in forma naturale (A) se nella rispettiva coordinata valgono 1, oppure in forma complementata (\bar{A}) se valgono 0; le variabili che cambiano passando da una cella all'altra del sottocubo non vengono prese in considerazione;
- la funzione di uscita vale la somma dei sottocubi:

$$f_1 = S_1 + S_2 = XZ + YZ$$

difatti:

$$S_1 = XYZ + XYZ = XZ (Y + Y) = XZ$$

$$S_2 = XYZ + XYZ = YZ (X + X) = YZ$$

La rete corrispondente è riportata in **fig. 5**.

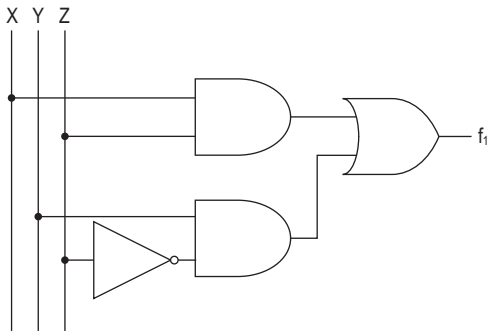


Fig. 5. Somma di prodotti.

Si procede in modo analogo alla seconda forma canonica, con la copertura degli 0 (**tab. 6**), ottenendo la funzione minima espressa come prodotto di somme (metodo di Karnaugh duale) e la rete corrispondente (**fig. 6**).

Tab. 6 - Metodo di Karnaugh duale				
YZ =	00	01	11	10
X = 0	0	0	0	1
X = 1	0	1	1	1

$$f_0 = (Y + Z) (X + \bar{Z})$$

Al termine, la funzione da adottare per la realizzazione della rete sarà la minima tra le due (nell'esempio sviluppato, le due reti f_1 e f_0 sono di pari complessità).

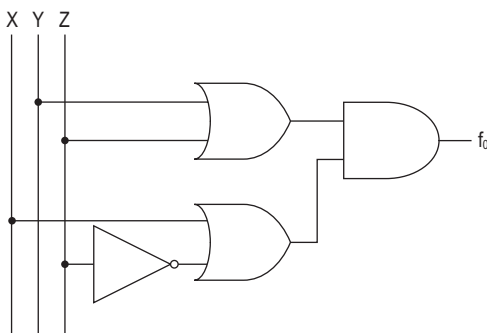


Fig. 6. Prodotto di somme.

Sintesi di funzioni non completamente specificate

A volte capita di dovere progettare reti combinatorie non completamente definite, nel senso che nella corrispondente tabella esistono delle combinazioni delle variabili di ingresso per le quali la funzione di uscita non è definita, né di valore zero, né di valore uno.

Le funzioni non completamente specificate riguardano quegli automatismi per i quali è praticamente impossibile che una o più combinazioni degli ingressi possano verificare. Per esempio, non potrà mai succedere che in una caldaia risultino contemporaneamente attivi il sensore di acqua troppo fredda e il sensore dell'allarme di sovratemperatura, oppure che per un carrello su un binario siano contemporaneamente attivi i finecorsa ai due estremi.

Per queste combinazioni, che non capiteranno mai, fatto salvo il rispetto delle norme di sicurezza, la funzione di uscita può assumere indifferentemente il valore 0 oppure 1.

Nella mappa, la situazione si segna con una 'X'. Tale condizione può essere coinvolta in ciascuna delle coperture, con gli 1 o con gli 0, in modo tale da ottenere sottocubi i più grandi possibili. Non sono ovviamente da costruire sottocubi che contengano solo condizioni di indifferenza.

ESEMPIO 4

Trovare la funzione minima descritta dalla mappa seguente.

Tab. 7				
f	YZ=00	YZ=01	YZ=11	YZ=10
X = 0	0	1	X	0
X = 1	0	1	1	0

Se alla condizione di indifferenza si assegna il valore 1, la funzione è $f = Z$.

Mappe di Karnaugh a 5 e 6 variabili

Il metodo delle mappe può essere esteso anche ai casi con più di quattro variabili di ingresso, sebbene diventi meno immediato e di più difficile applicazione.

Nel caso, per esempio, di sei variabili di ingresso, U X Y Z V W, occorrono quattro mappe delle quattro variabili Y Z V W, la prima valida per la combinazione 0 0 delle variabili U X, la seconda per la combinazione 0 1 delle variabili U X e così via. Per la determi-

nazione dei sottocubi, valgono le solite regole; è da notare che è possibile anche il raggruppamento di caselle che occupano la medesima posizione nelle diverse mappe.

Per esempio, nelle mappe riportate si può individuare un raggruppamento di otto caselle: quattro nella terza e quattro nella quarta mappa. Le variabili che non cambiano all'interno del sottocubo sono U, V e Y e il termine corrispondente è $U \bar{Y} V$.

Tab. 8				
	VW=00	VW=01	VW=11	VW=10
YZ=00	1	0	0	0
YZ=01	0	0	0	0
YZ=11	0	0	0	0
YZ=10	0	0	0	0
UX=00				

Tab. 9				
	VW=00	VW=01	VW=11	VW=10
YZ=00	1	0	0	0
YZ=01	0	0	0	0
YZ=11	0	1	0	0
YZ=10	0	1	0	0
UX=01				

Tab. 10				
	VW=00	VW=01	VW=11	VW=10
YZ=00	1	0	1	1
YZ=01	0	0	1	1
YZ=11	0	0	0	0
YZ=10	0	0	0	0
UX=10				

Tab. 11				
	VW=00	VW=01	VW=11	VW=10
YZ=00	1	0	1	1
YZ=01	0	0	1	1
YZ=11	0	1	0	0
YZ=10	0	1	0	0
UX=11				

La funzione finale vale:

$$f = \bar{Y} \bar{Z} \bar{V} \bar{W} + X Y \bar{V} W + U \bar{Y} V$$

Alee statiche

Finora si è sempre ragionato sulle reti logiche, ipotizzando nullo il tempo di propagazione delle porte. In realtà, i ritardi esistono e, in alcuni particolari casi

di variazione degli ingressi, si assiste a commutazioni improprie (alee) in uscita.

Tab. 12				
f	YZ=00	YZ=01	YZ=11	YZ=10
X = 0	0	0	1	1
X = 1	0	1	1	0

Si consideri, per esempio, il caso presentato in **tab. 12**, minimizzato mediante la copertura di due sottocubi, la cui corrispondente funzione:

$$f = X Z + \bar{X} Y$$

è rappresentata nel modello a contatti di **fig. 7a**. Si supponga ora che gli ingressi X Y Z siano nello stato logico 1 1 1, con uscita $f = 1$ e che si verifichi la sola transizione dell'ingresso X, corrispondente allo stato 0 1 1, ancora con uscita $f = 1$.

Se i contatti fossero ideali, \bar{X} si chiuderebbe nello stesso istante in cui X si apre; esisterebbe quindi sempre un percorso chiuso fra ingresso e uscita e l'uscita si manterrebbe a livello uno con continuità, come deve essere.

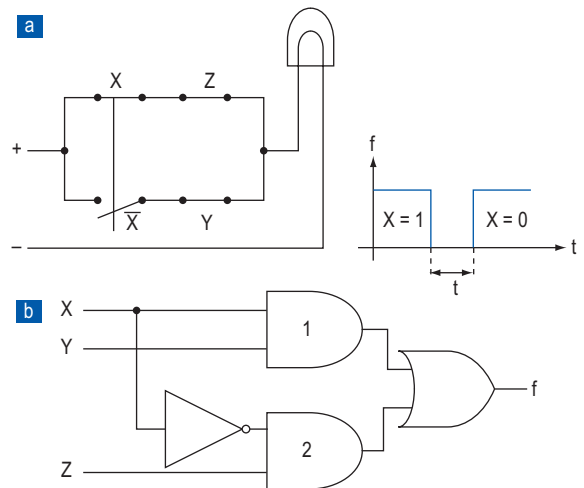


Fig. 7. Modello a contatti e schema logico.

Nella realtà ciò è praticamente impossibile. Si possono distinguere due diversi casi:

- 1 \bar{X} si chiude prima che X si apra; in questo caso, la continuità del circuito è mantenuta durante il transitorio e f resta a uno;
- 2 X si apre prima che \bar{X} si chiuda; la continuità è allora interrotta per un tempo Δt , pari al ritardo della chiusura di \bar{X} rispetto all'apertura di X. Durante tale intervallo, l'uscita f assume valore zero, per poi tornare a uno a transitorio finito. Nel secondo caso, si è verificato uno zero spurio, ovvero un'alea statica di tipo zero.

Il ragionamento può essere ripetuto in modo analogo riferendosi alla corrispondente rete a porte logiche (fig. 7b).

Se lo stato iniziale degli ingressi è 1 1 1, la porta AND n. 1 ha uscita alta, la AND n. 2 ha uscita bassa e la funzione f vale uno. Se ora X passa da uno a zero, poiché la NOT, in ingresso alla seconda AND, introduce un ritardo, l'uscita dell'AND n. 1 passa a zero prima che l'uscita dell'AND n. 2 vada a uno.

Di conseguenza si verifica un'alea statica di tipo zero. Non sempre le alee statiche sono intollerabili per il corretto funzionamento del sistema; per esempio, se il valore di f viene campionato in istanti successivi alla variazione dello stato d'entrata, in modo da escludere il transitorio, la presenza di alee non crea problemi.

In genere, però, è opportuno eliminare le alee statiche e questo può essere fatto direttamente in fase di copertura della mappa.

Un'alea statica può verificarsi ogni volta che esiste una coppia di stati di ingresso adiacenti che producono la medesima uscita (1 oppure 0) e non c'è sulla mappa un sottocubo che li contenga entrambi. Una rete combinatoria non presenta alee (nella forma AND OR) se ogni coppia di 1 adiacenti è coperta da almeno un sottocubo comune (allo stesso modo si opera nella forma duale OR AND). Di conseguenza, per eliminare l'alea dell'esempio in tab. 12, in cui i sottocubi sono disgiunti, basta aggiungere il terzo termine $Y Z$, ottenendo l'espressione ridondante:

$$f = X Z + \bar{X} Y + Y Z$$



ESERCIZIO A

Realizzare la rete rappresentata in **fig. 8** utilizzando solo porte NAND.

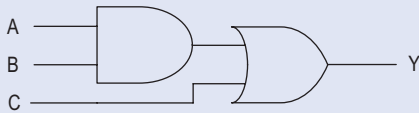


Fig. 8.

SOLUZIONE

Dal circuito si può ricavare l'espressione logica dell'uscita: $Y = AB + C$. Applicando una doppia negazione alla funzione e procedendo con il teorema di De Morgan, si ottiene: $\overline{AB + C} = \overline{AB} \cdot \overline{C}$. Considerando che l'inverter si può ricavare da una NAND con gli ingressi in cortocircuito, l'espressione ottenuta è formata da sole NAND.

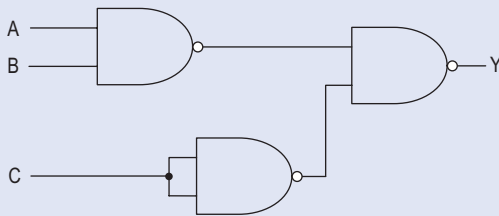


Fig. 9.



ESERCIZIO B

Ricavare l'espressione semplificata delle funzioni logiche descritte dalle seguenti mappe, nella forma somma di prodotti e nella forma di prodotto di somme.

a)

X	YZ			
	00	01	11	10
0	1	1	0	0
1	1	1	0	0

SOLUZIONE

X	YZ			
	00	01	11	10
0	1	1	0	0
1	1	1	0	0

È possibile raggruppare tutti gli 1 in un unico gruppo, all'interno del quale solo l'ingresso Y non subisce variazioni; perciò, utilizzando le regole della prima forma canonica: $f = \overline{Y}$. Un unico raggruppamento è possibile anche con gli 0; essendo $Y = 1$, utilizzando le regole della seconda forma canonica: $f = \overline{Y}$. I due risultati sono coincidenti.

b)

XY	ZW			
	00	01	11	10
00	1	1	1	1
01	0	0	0	0
11	1	1	0	0
10	1	1	0	0

SOLUZIONE

XY	ZW			
	00	01	11	10
00	1	1	1	1
01	0	0	0	0
11	1	1	0	0
10	1	1	0	0

È possibile raggruppare tutti gli 1 in due gruppi da quattro elementi, perciò $f = \overline{X} \overline{Y} + X \overline{Z}$.

XY	ZW			
	00	01	11	10
00	1	1	1	1
01	0	0	0	0
11	1	1	0	0
10	1	1	0	0

Anche gli 0 si possono raggruppare in due gruppi di quattro elementi: $f = (\overline{X} + \overline{Z}) \cdot (X + \overline{Y})$.



ESERCIZIO C

Data la funzione $Y = A \overline{B} \overline{C} + \overline{A} \overline{B} + A \overline{B} C$, ricavarne la tabella, la mappa e ridurla alla forma minima.

SOLUZIONE

La funzione ha tre ingressi e vale 1 in tre casi, rispettivamente quando $A = 1$ e $B = C = 0$, oppure quando $A = B = 0$, o ancora quando $A = C = 1$ e $B = 0$. Composta la tabella e riportati i valori nella mappa, si può fare una copertura con un solo sottocubo da quattro elementi.

A	B	C	Y
0	0	0	1
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	0

C =	0	1
AB = 00	1	1
AB = 01	0	0
AB = 11	0	0
AB = 10	1	1

$Y = \bar{B}$.



ESERCIZIO D

Realizzare un automatismo con tre sensori, la cui uscita (Y) è attiva solo quando si verificano le quattro condizioni indicate.

A	B	C
0	0	1
0	1	1
1	1	0
1	1	1

SOLUZIONE

Si compone la tabella con Y=1 solo in corrispondenza delle quattro condizioni indicate e si passa alla mappa.

A	B	C	Y
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	1

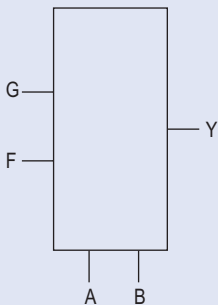
$Y_1 = \bar{A}C + AB$

$Y_0 = (A + C) \cdot (\bar{A} + B)$.



ESERCIZIO E

Ricavare l'espressione logica che realizza l'uscita Y indicata nella tabella e schematizzata in fig. 10.



A	B	Y
0	0	F
0	1	G
1	0	X
1	1	1

Fig. 10.

SOLUZIONE

La tabella è sintetica; la rete presenta quattro ingressi, perciò si completa la tabella a sedici combinazioni e si passa alle mappe, considerando che le situazioni non specificate (X) possono essere coperte sia come uno sia come zero.

A	B	G	F	Y
0	0	0	0	0
0	0	0	1	1
0	0	1	0	0
0	0	1	1	1
0	1	0	0	0
0	1	0	1	0
0	1	1	0	1
0	1	1	1	1
1	0	0	0	X
1	0	0	1	X
1	0	1	0	X
1	0	1	1	X
1	1	0	0	1
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

GF =	00	01	11	10
AB = 00	0	1	1	0
AB = 01	0	0	1	1
AB = 11	1	1	1	1
AB = 10	X	X	X	X

$Y_1 = A + \bar{B}F + BG$

GF =	00	01	11	10
AB = 00	0	1	1	0
AB = 01	0	0	1	1
AB = 11	1	1	1	1
AB = 10	X	X	X	X

$Y_0 = (F + B) \cdot (A + \bar{B} + G)$

ESERCIZIO 1

Semplificare la seguente espressione logica, facendo uso delle mappe di Karnaugh:

$$Y = (A + B + C + \bar{D}) \cdot (A + B + \bar{C} + \bar{D}) \cdot (\bar{A} + B + C + \bar{D}) \cdot (\bar{A} + B + \bar{C} + \bar{D})$$

[Ris.: $Y = B + D$]

ESERCIZIO 2

Data la tabella che segue, ricavare la funzione nelle due forme canoniche e, successivamente, le due forme minime, utilizzando le mappe di Karnaugh.

A	B	C	Y
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	0

[Ris.: $Y = \bar{A} \bar{B} C + \bar{A} B \bar{C} + \bar{A} B C + A B \bar{C}$;
 $Y = (A + B + C) \cdot (\bar{A} + B + C) \cdot (\bar{A} + B + \bar{C}) \cdot (\bar{A} + \bar{B} + \bar{C})$;
 $Y = \bar{A} C + B \bar{C}$; $Y = (B + C) \cdot (\bar{A} + \bar{C})$]

ESERCIZIO 3

Ricavare l'espressione delle funzioni logiche descritte dalle seguenti mappe, nella forma somma di prodotti.

a)

X	YZ			
	00	01	11	10
0	0	1	0	1
1	0	1	0	0

[Ris.: $f = \bar{Y} Z + \bar{X} Y \bar{Z}$]

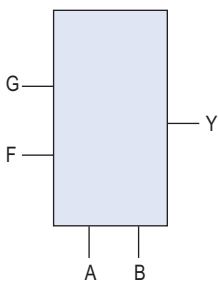
b)

XY	ZW			
	00	01	11	10
00	1	0	0	1
01	0	0	0	0
11	1	1	1	0
10	1	1	0	1

[Ris.: $f = \bar{Y} \bar{W} + X \bar{Z} + X Y Z$]

ESERCIZIO 4

Ricavare l'espressione logica che realizza l'uscita Y in tabella, utilizzando la copertura degli 0.



A	B	Y
0	0	G
0	1	X
1	0	1
1	1	F

Fig. 11.

[Ris.: in tabella]

A	B	G	F	Y
0	0	0	0	0
0	0	0	1	0
0	0	1	0	1
0	0	1	1	1
0	1	0	0	X
0	1	0	1	X
0	1	1	0	X
0	1	1	1	X
1	0	0	0	1
1	0	0	1	1
1	0	1	0	1
1	0	1	1	1
1	1	0	0	1
1	1	0	1	0
1	1	1	0	1
1	1	1	1	0

GF =	00	01	11	10
AB = 00	0	0	1	1
AB = 01	X	X	X	X
AB = 11	1	0	0	1
AB = 10	1	1	1	1

[Ris.: $Y = (G + A) \cdot (F + B)$]

ESERCIZIO 5

Ricavare le funzioni minime per le mappe indicate.

a)

X	YZ			
	00	01	11	10
0	0	1	0	0
1	0	X	1	0

[Ris.: $f = \bar{Y} Z + X Z$]

b)

X	YZ			
	00	01	11	10
0	1	0	X	1
1	0	X	1	1

[Ris.: $f = (X + \bar{Z}) \cdot (\bar{X} + Y)$]

c)

XY	ZW			
	00	01	11	10
00	0	0	X	1
01	0	1	X	1
11	0	1	X	X
10	0	1	X	X

[Ris.: $f = Z + XW + YW$]

d)

XY	ZW			
	00	01	11	10
00	1	X	X	1
01	1	0	0	1
11	X	0	X	0
10	1	1	1	1

[Ris.: $f = (\bar{X} + \bar{Y}) \cdot (\bar{Y} + \bar{W})$; $f = (\bar{X} + \bar{Y}) \cdot (X + \bar{W})$]

e)

YZ	WX			
	00	01	11	10
00	0	0	0	X
01	1	1	1	X
11	1	X	X	X
10	1	X	0	0

[Ris.: $f = Z + \bar{W}Y$; $f = (Y + Z) \cdot (\bar{W} + Z)$]



ESERCIZIO F

Si consideri il circuito in **fig. 12**, che realizza la funzione $f = \bar{X}Z + Y\bar{Z}$.

Si supponga che lo stato delle variabili di ingresso XYZ sia 011 e che Z passi al valore 0.

Verificare se esiste un'alea statica e, nel caso, suggerire una modifica per evitarla.

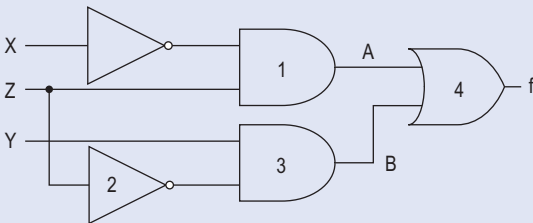


Fig. 12.

SOLUZIONE

Si traccia il diagramma temporale dei segnali, considerando i ritardi introdotti dalle singole porte (**fig. 13**).

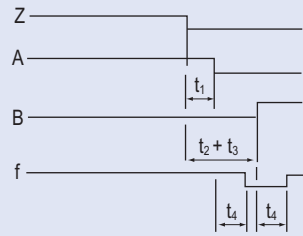


Fig. 13.

Anche considerando $t_1 = t_3$, il ritardo t_2 introdotto dalla NOT introduce un'alea statica.

Per evitarla, basta aggiungere alla forma f il termine ridondante $\bar{X} Y$, ottenendo $f = \bar{X} Z + Y \bar{Z} + \bar{X} Y$ e modificare di conseguenza il circuito.

XY =	00	01	11	10
Z = 0	0	1	1	0
Z = 1	1	1	0	0

ESERCIZIO 6

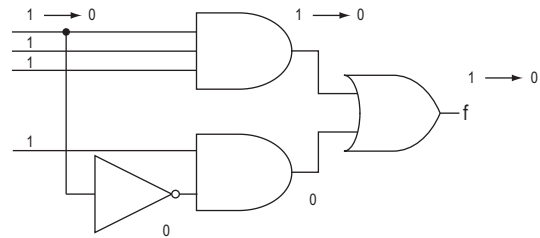


Fig. 14.

Si consideri il circuito in **fig. 14**, che realizza la funzione $f = AD + ABC$.

Si supponga che dallo stato delle variabili di ingresso ABCD = 1111 si passi allo stato 0111.

Verificare se esiste un'alea statica ed, eventualmente, suggerire una modifica per evitarla.

[Ris.: esiste un'alea statica; per evitarla, la funzione deve essere $f = \bar{A}D + ABC + BCD$]